

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-084284

(43)Date of publication of application : 31.03.1995

(51)Int.Cl.

G02F 1/136

G02F 1/1343

H01L 29/786

(21)Application number : 05-188873

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 30.06.1993

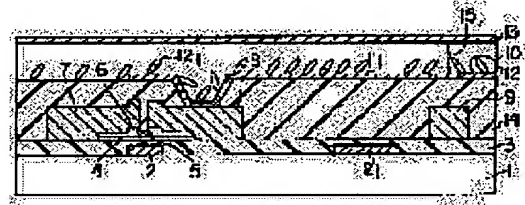
(72)Inventor : IKEDA MITSUSHI
HARA YUJIRO
TSUJI YOSHIKO
TOEDA HISAO

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PURPOSE: To provide an active matrix type liquid crystal display device preventing the quality of display from being deteriorated caused by a disclination line without lowering numerical aperture.

CONSTITUTION: This device is provided with picture element electrodes 10 and 11 arrayed on a glass substrate 1 in a matrix state, a thin film transistor being as a switching element provided at the lower part of the electrode 11, a signal conductor 9 provided at the lower part of a gap between two adjacent electrodes 10 and 11, a counter electrode 13 provided on the electrodes 10 and 11 and a liquid crystal layer 12 which is provided between the electrodes 10 and 11 and the counter electrode 13 and whose thickness is larger than a distance between two adjacent electrodes 10 and 11.



LEGAL STATUS

[Date of request for examination] 28.04.2000

[Date of sending the examiner's decision of rejection] 06.11.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-84284

(43)公開日 平成7年(1995)3月31日

(51)IntCl.⁴

G 0 2 F 1/138
1/1343
H 0 1 L 29/784

識別記号
5 0 0

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 2 F D (全 6 頁)

(21)出願番号 特願平5-188873

(22)出願日 平成5年(1993)8月30日

(71)出願人 000003078

株式会社東芝
神奈川県川崎市幸区堀川町72番地

(72)発明者 池田 光志

神奈川県横浜市磯子区新磯子町33番地 株
式会社東芝生産技術研究所内

(72)発明者 坂 達二郎

神奈川県横浜市磯子区新磯子町33番地 株
式会社東芝生産技術研究所内

(72)発明者 辻 佳子

神奈川県横浜市磯子区新磯子町33番地 株
式会社東芝生産技術研究所内

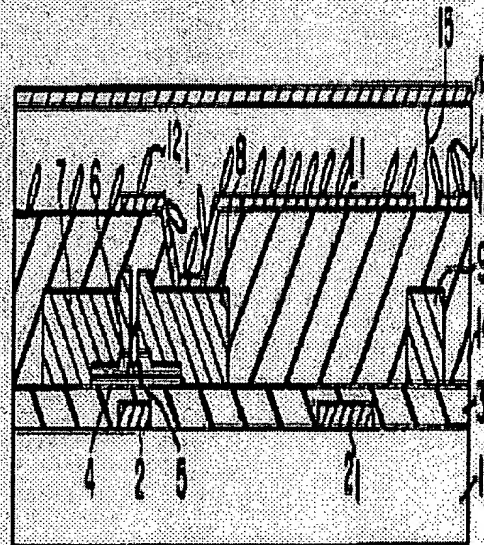
(74)代理人 弁理士 鈴江 武彦

最終頁に続く

(84)要約の名称] 液晶表示装置

【目的】開口率の低下を招くことなくディスクリネーション線による表示品質の劣化を防止できるアクティブマトリクス型液晶表示装置を提供すること。

【構成】ガラス基板1上にマトリクス配列された画素電極10、11と、画素電極11の下部に設けられたスイッチング素子としての薄膜トランジスタと、隣接する二つの画素電極10、11の間隙の下部に設けられた信号線9と、画素電極10、11上に設けられた対向電極13と、画素電極10、11と対向電極13との間に設けられ、厚さが隣接する二つの画素電極10、11間の距離よりも大きい液晶層12とを備えている。



【特許請求の範囲】

【請求項1】基板上にマトリクス配列された画素電極と、
前記画素電極の各下部に設けられたスイッチング素子としての薄膜トランジスタと、
隣接する二つの前記画素電極間の間隙の下部に設けられた配線と、
前記画素電極上に設けられた対向電極と、
前記画素電極と前記対向電極との間に設けられ、厚さが隣接する二つの前記画素電極間の距離よりも大きい液晶層とを具備してなることを特徴とする液晶表示装置。
【請求項2】基板上にマトリクス配列された画素電極と、
前記画素電極の各下部に設けられたスイッチング素子としての薄膜トランジスタと、
隣接する二つの前記画素電極間の間隙の下部に設けられた配線と、
前記画素電極上に設けられた対向電極と、
前記画素電極と前記対向電極との間に設けられた液晶層と、
前記配線と前記対向電極との間に設けられた電界集中部材とを具備してなることを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、液晶表示装置に係り、特にスイッチング素子として薄膜トランジスタを用いたアクティブマトリクス型液晶表示装置に関する。

【0002】

【従来の技術】液晶表示装置は薄型・軽量であり、低電圧駆動が可能で更にカラー化も容易である等の特徴を有し、近年、パーソナルコンピュータ、ワープロなどの表示装置として利用されている。中でも、アモルファスシリコンの薄膜トランジスタ（a-Si TFT）をスイッチング素子として用いたアクティブマトリクス型液晶表示装置は、多画素にしてもコントラスト、レスポンス等の劣化がなく、更に、中間調表示も可能であることから、フルカラーテレビや、OA用の表示装置として期待されている。

【0003】図6は、従来のa-Si TFTを用いたアクティブマトリクス型液晶表示装置の概略構成を示す模式図である。

【0004】図中、81は画素電極を示しており、この画素電極81はTFTのソース電極78に接続されている。また、画素電極81上には液晶層82を介して対向電極83が設けられている。

【0005】上記TFTは、大きく分けて、ガラス基板71上に設けられたゲート電極72と、このゲート電極72を覆うように形成されたゲート絶縁膜73と、このゲート絶縁膜73上に設けられた活性層76と、この活性層76にコンタクトするソース電極77、ドレイン電

極78とで構成されている。

【0006】ソース電極77とドレイン電極78との間の活性層76上には保護膜75が設けられ、また、活性層76はオーミックコンタクト層76を介してソース電極77、ドレイン電極78とコンタクトしている。ソース電極78は信号線79に繋がっている。そして、信号線79、TFTは層間絶縁膜84により液晶層82と直接コンタクトしないようになっている。

【0007】ところで、このように構成された液晶表示装置を高精細化する場合、開口率を上げるために、画素電極81と信号線79とをなるべく近づけることが必要になる。

【0008】しかし、画素電極81と信号線79とを近づけるとこれらの間の電界が大きくなり、この大きい電界によって、画素電極81および信号線79に近接する部分の液晶層82の液晶分子821の配向が変化する。この結果、液晶層82の配向に不連続が生じ、いわゆる、ディスクリネーション線86が発生し、表示品質が劣化するという問題が生じる。

【0009】このような問題を解決するには、ディスクリネーション線86が生じる部分上の対向電極83にブラックマトリクス85を設け、ディスクリネーション線86を隠すという技術が提案されている。

【0010】しかし、ブラックマトリクス85の分だけ、実際の表示に寄与する表示面積が減少し、開口率が低下するという問題があった。

【0011】

【発明が解決しようとする課題】上述の如く、従来の液晶表示装置にあっては、高精細化のために、画素電極と信号線とを近づけるとこれらの間の電界が大きくなり、ディスクリネーション線が発生し、表示品質が劣化するという問題があった。

【0012】このような問題は、ブラックマトリクスによりディスクリネーション線を隠せば解決できるが、この場合、ブラックマトリクスの分だけ、開口率が低下するという問題があった。

【0013】本発明は、上記事情を考慮してなされたもので、その目的とするところは、開口率の低下を招くことなくディスクリネーション線による表示品質を防止できる液晶表示装置を提供することにある。

【0014】

【課題を解決するための手段】上記の目的を達成するために、本発明の液晶表示装置（請求項1）は、基板上にマトリクス配列された画素電極と、前記画素電極の各下部に設けられたスイッチング素子としての薄膜トランジスタと、隣接する二つの前記画素電極間の間隙の下部に設けられた配線と、前記画素電極上に設けられた対向電極と、前記画素電極と前記対向電極との間に設けられ、厚さが隣接する二つの前記画素電極間の距離よりも大きい液晶層とを備えたことを特徴とする。

【0015】また、本発明の液晶表示装置（請求項2）は、基板上にマドリガス配列された画素電極と、前記画素電極の各下部に設けられたスイッチング素子としての薄膜トランジスタと、隣接する二つの前記画素電極間の間隙の下部に設けられた配線と、前記画素電極上に設けられた対向電極と、前記画素電極と前記対向電極との間に設けられた液晶層と、前記配線と前記対向電極との間に設けられた電界集中部材とを備えたことを特徴とする。

【0016】上記配線とは信号線、ゲート線等の配線である。

【0017】

【作用】本発明の液晶表示装置（請求項1）によれば、隣接する二つの画素電極間の距離が液晶層の厚さよりも小さいので、隣接する二つの画素電極間の電界は、画素電極と対向電極と間の電界よりも強くなる。

【0018】このため、ディスクリネーション線を隣接する二つの画素電極間の液晶層に発生させ、そこに固定することができる。また、隣接する二つの画素電極間の間隙の下部には配線が位置している。すなわち、ディスクリネーション線が固定される部分はもともと表示に寄与しない部分である。

【0019】したがって、開口率の低下を招くことなくディスクリネーション線による表示品質の劣化を防止できる。

【0020】また、本発明の他の液晶表示装置（請求項2）によれば、配線と対向電極との間に電界集中部材が設けられているため、配線と画素電極とを近づけても、ディスクリネーション線は電界集中部材に発生し、固定される。しかも、電界集中部材の下部には配線が位置しているため、ディスクリネーション線が固定される部分はもともと表示に寄与しない部分である。

【0021】したがって、開口率の低下を招くことなくディスクリネーション線による表示品質の劣化を防止できる。

【0022】

【実施例】以下、図面を参照しながら実施例を説明する。

【0023】図1は、本発明の第1の実施例に係るアクティブマトリクス型液晶表示装置の概略構成を示す模式図である。

【0024】図中、11は画素電極を示しており、この画素電極11はTFTのソース電極8に接続されている。また、画素電極10、11上には液晶層12を介して対向電極13が設けられている。

【0025】ここで、画素電極10、11間の距離は、従来とは異なり、液晶層12の厚さよりも小さくなっている。具体的には、画素電極10、11間の距離は、例えば、4 μ mとし、液晶層12の厚さは5 μ mとする。

【0026】上記TFTは、大きく分けて、ガラス基板

1上に設けられたゲート電極（ゲート配線）12と、このゲート電極2を覆うように形成されたゲート絶縁膜3と、このゲート絶縁膜3上に設けられた活性層4と、この活性層4にコンタクトするドレイン電極7、ソース電極8とで構成されている。

【0027】ドレイン電極7とソース電極8との間の活性層4上には保護膜5が設けられ、また、活性層4はオーミックコンタクト層6を介してドレイン電極7、ソース電極8とコンタクトしている。ソース電極8は信号線9に繋がっている。そして、信号線9、TFTは層間絶縁膜14によって液晶層12とは直接コンタクトしないようになっている。

【0028】このような液晶表示装置は、例えば、次のように製造する。

【0029】まず、ガラス基板1上にMoTa合金膜を300nmの厚さに堆積した後、このMoTa合金膜をパターニングしてゲート電極2を形成する。

【0030】次にプラズマCVD法により、ゲート絶縁膜3となる酸化シリコン膜、第1の窒化シリコン膜をそれぞれ350nm、50nmの厚さに順次堆積し、続いて、同様にプラズマCVD法により、活性層4となる第1のアモルファスシリコン膜、保護膜5となる第2の窒化シリコン膜をそれぞれ50nm、200nmの厚さに順次堆積する。

【0031】次に第2の窒化シリコン膜をパターニングして保護膜5を形成した後、オーミックコンタクト層6となる第2のn⁺型アモルファスシリコン膜をプラズマCVD法に形成する。次いで第1、第2のアモルファスシリコン膜を同時にパターニングして、アモルファスシリコンの島を形成する。

【0032】次に厚さ50nmのMo膜と厚さ300nmのAl膜との積層膜からなる信号線9を形成した後、層間絶縁膜14としての第3の窒化シリコン膜をプラズマCVD法を用いて200nmの厚さに堆積する。次いでドレイン電極7、ソース電極8を形成する。なお、ドレイン電極7、ソース電極8、信号線9は同一工程で同時に形成しても良い。また、Al膜上にMo、W、Cr等の高融点金属からなる膜を形成しても良い。

【0033】次にスピニングにより、この第3の窒化シリコン膜の表面を層間絶縁膜14としての厚さ1.5 μ mの弗素系ポリイミド膜で被覆した後、アモルファスシリコンの劣化温度（300℃）以下、例えば、250℃の温度でキュアする。なお、ポリシリコン（p-Si）TFTであれば450℃のフルキュアを行なっても良い。

【0034】次に上記ポリイミド膜をCF₄ガスによる反応性イオンエッチングでエッチングしてソース電極8の上部にコンタクトホールを形成する。次いで表面に配向用ポリイミド膜が形成され、厚さが100nmのITO膜を形成した後、これをエッチングして画素電極1

0、11を形成する。

【0035】最後に、表面に配向用ポリイミド膜が形成された対向電極13と画素電極10、11等との間に液晶を注入して液晶層12を形成する。

【0036】本実施例の液晶表示装置によれば、隣接する二つの画素電極11と画素電極12との間の距離が液晶層12の厚さよりも小さいので、これら隣接する二つの画素電極11、12間の電界は、画素電極11、12と対向電極13との電界よりも大きくできる。このために電極9の上の液晶分子12が画素電極11、12の間の電界により向きを変えディスクリネーション線15が発生する。

【0037】例えば、信号線反転駆動では、画素電極には映像信号電圧の大きさである0～5Vの電圧が印加され、その隣の画素電極には-5～0Vの電圧が印加され、そして、対向電極にはその中間の電圧である0Vが印加される。このため、画素電極間の距離が液晶層の厚さよりも短ければ、隣接する画素電極間に印加される電圧差は、対向電極と画素電極との間の電位差よりも必ず大きくなる。なお、信号線またはゲート電極（ゲート線）と画素電極との間の電界は画素電極によりシールドされているので液晶層への影響はほとんど無い。

【0038】このため、ディスクリネーション線15を画素電極11、12間の液晶層12に発生させ、そこに固定することができる。また、画素電極11、12の間隙の下部には信号線9が位置している。すなわち、ディスクリネーション線15が固定される部分はもともと表示に寄与しない部分である。

【0039】したがって、開口率の低下を招くこと無くディスクリネーション線15による表示品質の劣化を防止できる。

【0040】液晶の厚さdと画素電極間距離は次のようにするのが好ましい。

【0041】液晶の厚さdと画素電極間Lは同じ（ $d=L$ ）であっても画素電位は逆符号なので、電界強度は画素電極間の方が大きくディスクリネーションは画素電極間、すなわち、画素線上に発生する。また、画素電極に同じ値の電圧（ $=0$ ）が印加されている場合には電界がないため、ディスクリネーションは発生しない。以上より画素電極間の電界を対向電極と画素電極との間の電界より確実に大きくしておくためには、

$$L/d \leq 1$$

であることが必要であり、好ましくは、

$$L/d \leq 0.9 \sim 0.4$$

が良い。短い方は、隣接画素電極間のショートが発生のしやすさにより制限される。また、ディスクリネーションは液晶分子の配向方向と電界の向きが逆のときに発生するため、例えば、液晶分子が右に傾く場合にはディスクリネーションが画素電極の左端に発生しやすいため、画素電極の左端と画素線の重なりをより大きくしてい

方が好ましい。

【0042】また、本実施例によれば、信号線9と画素電極11、12との間のカップリング容量は、層間絶縁膜であるフッ素系ポリイミド膜の比誘電率が2.8で、その膜厚が1.5 μ mであるので、通常用いられている比誘電率が6.4のシリコン窒化膜（典型的な厚さ500nm）を用いた場合の容量の約1/7となる。したがって、本実施例によれば、信号線9と画素電極11、12との間のカップリング容量を十分に小さくでき、クロストークを大幅に低減できる。なお、フッ素系ポリイミド膜の比誘電率は2～4程度の範囲で選択できる。

【0043】また、通常用いられているシリコン窒化膜の場合には、応力によって膜割れが発生するため、その膜厚は500nm程度に制限され、段差の被覆性に問題が残るが、本実施例の場合には、フッ素系ポリイミド膜を用いているので、その膜厚を数 μ mまで形成できる。すなわち、段差が無くなる程度の厚さに堆積でき、表面を平坦にできるので、画素電極上の配向膜の平坦性が改善され、ラビングが均一にできるため、画質の向上が図れる。

【0044】図2は、本発明の第2の実施例に係るアクティブマトリクス型液晶表示装置の概略構成を示す模式図である。なお、図1の液晶表示装置と対応する部分には図1と同一符号を付してあり、詳細な説明は省略する（第2の実施例以降の実施例も同様）。

【0045】信号線と画素電極との間のカップリングを防止するには、層間絶縁膜の膜厚を大きくする必要がある。この場合、ソース電極用のコンタクトホール部において段差が大きくなるので、画素電極の段差が発生しやすくなる。本実施例はこのような不都合を考慮したものである。

【0046】すなわち、図2に示すように、コンタクトホール部にゲート電極2となる導電膜2a、活性層4となる半導体膜4a、保護膜5となる絶縁膜5a、オーミックコンタクト層6となる半導体膜6aを残置し、コンタクトホール部におけるソース電極8の表面の高さを大きくする。

【0047】例えば、導電膜（シリコン窒化膜）2aの厚さを300nm、ゲート絶縁膜（シリコン窒化膜）3の厚さを50nm、半導体膜（アモルファスシリコン膜）4aの厚さを50nm、絶縁膜（シリコン窒化膜）5aの厚さを200nm、半導体膜（n型アモルファスシリコン膜）6aの厚さを50nmとすれば、コンタクトホール部におけるソース電極8の表面は先の実施例に比べて、650nm高くなる。したがって、段差は1500nmから850nmに減少する。

【0048】更に、層間絶縁膜14により完全に平坦化すれば、信号線9（350nm）による段差が減少するため、段差は500nmになる。このため、層間絶縁膜14をデパエッチングすることにより段差部での段切

れはなくなる。

【0049】図3は、本発明の第3の実施例に係る液晶表示装置の概略構成を示す模式図である。

【0050】本実施例の液晶表示装置が先の実施例のそれと異なる点は、ソース電極8用のコンタクトホール内にCu層20を無電解メッキにより選択的に形成し、コンタクトホール内における段差を無くしたことにある。また、Cu層20の表面が酸化されることによる画素電極11とCu層20とのコンタクト不良を防止するため、Snの無電解メッキによりCu層20の表面をSn膜21で被覆した後、Sn膜21の表面を酸化させ、透明導電膜にして安定化させてある。

【0051】なお、Snの代わりにSn-In合金を用いても良い。また、Cuの代わりに、Cr、Snまたは他の金属、合金を用いても良い。更に、Sn膜21の酸化は画素電極11の形成と同時に進んでも良い。更にまた、無電解メッキの代わりに、選択CVD法により、WやAlやMo等の金属膜をコンタクトホール内に選択形成しても良い。Wの場合には、例えば、WF₆と、SiH₄またはH₂を用いることにより選択形成できる。

【0052】図4は、本発明の第4の実施例に係るアクティブマトリクス型液晶表示装置の概略構成を示す模式図である。

【0053】本実施例の液晶表示装置が先の実施例のそれと異なる点は、信号線9が層間絶縁膜23を介してゲート電極2よりも下の位置に設けられていることにある。信号線9は層間絶縁膜23に形成されたコンタクトホール（不図示）を介してソース電極8に繋がっている。なお、図中、22はITOで形成された容量線を示しているが、これは無くても良い。

【0054】このような構成であっても、画素電極11、12の間の距離が液晶層12の厚さよりも小さく、画素電極11、12の間隙が信号線9上に位置している点は先の実施例と同じなので、ディスクリネーション線15は信号線9上に固定され、開口率の低下を招くこと無く表示劣化を防止できる。

【0055】図5は、本発明の第5の実施例に係る液晶表示装置の概略構成を示す模式図である。

【0056】本実施例の液晶表示装置が先の実施例のそれと異なる点は、ディスクリネーション線15の固定を信号線9上の層間絶縁膜14に形成された二つの並んだ突起部32で行っていることにある。

【0057】突起部32のように急峻な凹凸が存在すると、相対した面の液晶分子121の配向方向が異なるため、そこにディスクリネーション線15が発生し、固定されるので表示劣化を防止できる。また、突起部32は信号線9上に設けられているので、つまり、もともと表示に寄与しない部分に設けられているので、開口率が低下するという問題は生じない。

【0058】また、突起部32の形成は、例えば、層間

絶縁膜14を形成した後、厚さ1μmのポリイミド膜を形成し、これをパターニングすることにより行なう。突起部32の材料としては、ポリイミドの代わりに、ゲート電極（ゲート線）や、保護膜や、活性層等のアレイ材料と同じもや、他の金属、絶縁物を用いても良い。

【0059】なお、本発明は上述した実施例に限定されるものではない。例えば、上記実施例では、層間絶縁膜としてフッ素系ポリイミド膜を用いたが、その代わりにテフロン等のフッ素樹脂を用いても良い。これらはシリコン酸化膜の比誘電率4.0よりも小さい。

【0060】また、信号線の代わりにゲート線等の配線上で、ディスクリネーション線が固定されるようにしても良い。

【0061】また、補助容量は図1のようにゲート線と同層のメタル21と画素電極11で形成しても良いし、図3のようにゲート線と同層の容量線としてのメタル21と信号線としてのメタル8との間で形成しても良い。また、他の金属、例えば、ゲート電極とITOとで形成しても良い。

【0062】また、TFTは上記実施例のようなトップ型でなく、バックチャネル型でも良いし、a-Siの代わりにp-Siを用いても良い。

【0063】その他、本発明の要旨を逸脱しない範囲で、種々変形して実施できる。

【0064】

【発明の効果】以上詳述したように本発明によれば、もともと表示に寄与しない部分にディスクリネーション線を固定できるので、開口率の低下を招くこと無くディスクリネーション線による表示品質の劣化を防止できる。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係るアクティブマトリクス型液晶表示装置の概略構成を示す模式図。

【図2】本発明の第2の実施例に係るアクティブマトリクス型液晶表示装置の概略構成を示す模式図。

【図3】本発明の第3の実施例に係るアクティブマトリクス型液晶表示装置の概略構成を示す模式図。

【図4】本発明の第4の実施例に係るアクティブマトリクス型液晶表示装置の概略構成を示す模式図。

【図5】本発明の第5の実施例に係るアクティブマトリクス型液晶表示装置の概略構成を示す模式図。

【図6】従来のアクティブマトリクス型液晶表示装置の概略構成を示す模式図。

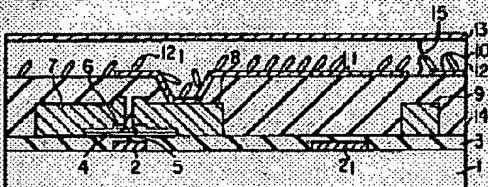
【符号の説明】

- 1…ガラス基板
- 2…ゲート電極（ゲート線）
- 3…ゲート絶縁膜
- 4…活性層
- 5…保護膜
- 6…オーミックコンタクト層
- 7…ドレイン電極

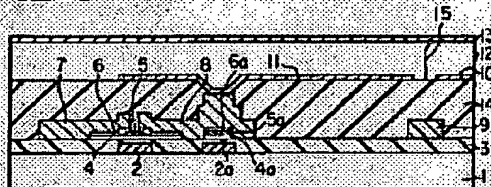
8...ソース電極
9...信号線
10、11...画素電極
12...液晶層
13...対向電極

14...層間絶縁膜
15...ディスプレイネーション線
20...Cu層
21...Sn膜
32...突起部(電界集中部材)

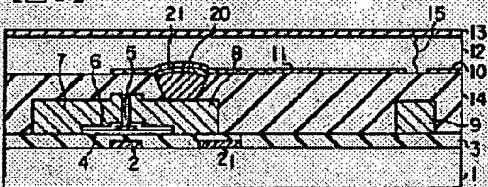
【図1】



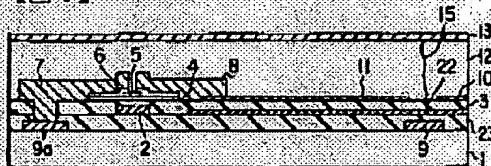
【図2】



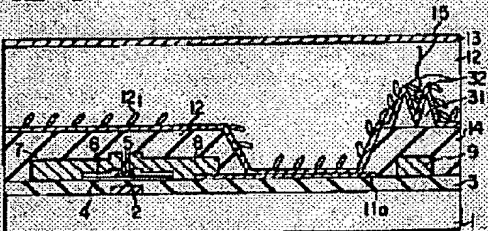
【図3】



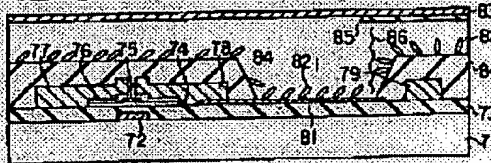
【図4】



【図5】



【図6】



フロントページの続き

発明者 戸枝 久郎

神奈川県横浜市磯子区新磯子町3番地 株
式会社東芝生産技術研究所内